

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP362093978A
DOCUMENT-IDENTIFIER: JP 62093978 A
TITLE: MANUFACTURE OF THIN FILM TRANSISTOR
PUBN-DATE: April 30, 1987

INVENTOR-INFORMATION:

NAME

ORITSUKI, RYOJI

KIN, KIICHI

KANEKO, YOSHIYUKI

TSUTSUI, KEN

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

HITACHI DEVICE ENG CO LTD

N/A

APPL-NO: JP60233291

APPL-DATE: October 21, 1985

INT-CL (IPC): H01L029/78, H01L027/12 , G02F001/133 , G09F009/35

US-CL-CURRENT: 257/E29.273, 438/158

ABSTRACT:

PURPOSE: To avoid deterioration of OFF characteristics and protect a gate electrode securely from breakdown caused by electric field by a method wherein an amorphous Si film extended outside the area of a gate electrode is made to have lower resistance to prevent photocurrent from flowing between a source electrode and a drain electrode.

CONSTITUTION: An amorphous Si film 4 formed on a gate insulating film 3 is divided into an amorphous Si channel region 4a as an active layer and extended parts as amorphous Si island parts 4b by a source electrode 6 and

a drain
electrode 7. At the same time, even if peripheral light is
applied to the
amorphous Si island part 4b, photocurrent induced in the
amorphous Si island
part 4b does not flow into the channel region 4a. Therefore,
even if the
peripheral light is applied to the amorphous Si island parts 4b
which have
larger area than the gate electrode 2, photocurrent induced in
the amorphous Si
island parts 4b does not flow into the channel region 4a.
Therefore, OFF
characteristics is not deteriorated by the light application.

COPYRIGHT: (C)1987,JPO&Japio

⑫ 公開特許公報(A)

昭62-93978

⑪ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和62年(1987)4月30日
 H 01 L 29/78 8422-5F
 27/12 7514-5F
 // G 02 F 1/133 3 2 7 8205-2H
 G 09 F 9/35 3 0 1 6731-5C 審査請求 未請求 発明の数 2 (全5頁)

⑭ 発明の名称 薄膜トランジスタおよびその製造方法

⑮ 特 願 昭60-233291

⑯ 出 願 昭60(1985)10月21日

⑰ 発 明 者 折 付 良 二 茂原市早野3300番地 株式会社日立製作所茂原工場内
 ⑰ 発 明 者 金 基 一 茂原市早野3681番地 日立デバイスエンジニアリング株式
 会社内
 ⑰ 発 明 者 金 子 好 之 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
 央研究所内
 ⑰ 発 明 者 筒 井 謙 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
 央研究所内
 ⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑰ 出 願 人 日立デバイスエンジニ 茂原市早野3681番地
 アリング株式会社
 ⑰ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 薄膜トランジスタおよびその製造
 方法

特許請求の範囲

1. 絶縁基板上にゲート電極、ゲート絶縁膜およびアモルファスシリコン膜を順次積層形成し、該アモルファスシリコン膜上にソース電極およびドレイン電極を設けてなる薄膜トランジスタにおいて、前記アモルファスシリコン膜のゲート電極の寸法よりはみ出した部分を低抵抗化させたことを特徴とする薄膜トランジスタ。
2. 前記アモルファスシリコン膜のゲート電極よりのはみ出し部分を、ソース電極、ドレイン電極材料との合金膜としたことを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。
3. 前記アモルファスシリコン膜のゲート電極よりのはみ出し部分を、アモルファスシリコン膜のチャネル領域から分離しかつソース電極、ドレイン電極で包囲したことを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

4. 絶縁基板上にゲート電極、ゲート絶縁膜およびアモルファスシリコン膜を順次形成し、該アモルファスシリコン膜上にソース電極およびドレイン電極を設けてなる薄膜トランジスタにおいて、前記アモルファスシリコン膜上にソース電極およびドレイン電極を形成した後に加熱し、該アモルファスシリコン膜のゲート電極の寸法よりはみ出した部分に電極材料の拡散層を形成することを特徴とした薄膜トランジスタの製造方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は、例えばフラットディスプレイにおいて各画素を構成する表示駆動用電極と同一絶縁基板上に堆積されてスイッチング素子として用いられる薄膜トランジスタおよびその製造方法に関するものである。

〔発明の背景〕

フラットディスプレイをアクティブマトリックス方式で駆動する方法は、従来より知られており、けい光表示管や液晶ディスプレイを利用した携帯

用テレビ等が提案されている(日経エレクトロニクス1984年9月10日号第211頁)。

しかしながら、これらの表示装置が未だ十分に実用化されるに至っていないのは、高密度の微細パターンを形成する際の歩留りに問題があることその他、微細化したときのスイッチング用トランジスタの特性に問題があることによる。すなわち、スイッチング用トランジスタは周囲光によつてオフ電流が増大し、オンオフ特性が劣化するという問題がある。

このような問題を改善するものとしては、第45回応用物理学会予稿集P343、14a-Q-7に開示されているように光入射を防止する遮光膜を設けたアモルファスシリコン薄膜トランジスタが提案されている。

第4図および第5図はこの種の薄膜トランジスタを示す断面図である。同図において、1は透光性ガラス板からなる絶縁基板、2はCr、ITO等からなるゲート電極、3は SiO_2 、 SiN_x 等からなるゲート絶縁膜、4はアモルファスシリコン(

よりもはみ出したa-Si膜4に光が入射し、オフ抵抗が十分に大きくならないという問題があつた。したがつて、a-Si膜4はゲート電極2の幅寸法よりも小さくする必要があるが、第5図に示すようにソース電極6、ドレイン電極7とゲート電極2とをゲート絶縁膜3で絶縁する部分が生じる。この結果、ゲート電極2のエッジ部分でゲート絶縁膜3の電界による破壊が生じ易くなり、歩留りを低下させることになる。

[発明の目的]

本発明の目的は、周囲光の入射によつて生じるオフ特性の劣化を防止することができるa-Si薄膜トランジスタを提供することにある。

本発明の他の目的は、ゲート電極のエッジでゲート絶縁膜の電界による破壊を防止することができるa-Si薄膜トランジスタを提供することにある。

本発明のさらに他の目的は、オフ特性の劣化およびゲート絶縁膜の破壊を防止できるa-Si薄膜トランジスタを高歩留りで得ることができるa-

以下a-Siと称する)などからなるa-Si膜、5はコンタクト領域、6、7はCr、ITO等からなるソース電極およびドレイン電極、8は SiO_2 、 SiN_x 等からなるパッシベーション膜、9は遮光膜である。

このように構成される薄膜トランジスタは、ゲート電極2とソース電極6との間に加える電界の大きさを変化させることによつてソース電極6とドレイン電極7との間の電気抵抗を変化させることができる。すなわち、スイッチ機能をもたせることができる。つまり、アクティブマトリックスディスプレイにおいては、各画素に付設された薄膜トランジスタのスイッチ機能を利用し、スイッチオンのとき画素に画像情報を書き込み、スイッチオフのときその情報を保持させるようにしたものである。

しかしながら、このような構成によると、a-Si膜4への光入射をゲート電極2と遮光膜9とで防止したとしてもゲート電極2よりもa-Si膜4の幅寸法が大であれば、ゲート電極2の幅寸法

Si薄膜トランジスタの製造方法を提供することにある。

[発明の概要]

本発明の一実施例によれば、a-Si膜をゲート電極の寸法よりも大とし、ゲート電極の寸法よりもはみ出したa-Si膜のみを低抵抗化させ、ソース電極とドレイン電極との間に光電流を流さない構成とすることにより、オフ特性の劣化を防止させかつゲート絶縁膜の電界による破壊を確実に防止した薄膜トランジスタが提供される。

本発明の他の実施例によれば、a-Si膜上に形成したソース、ドレイン電極を加熱させることにより、ゲート電極の寸法よりもはみ出したa-Si膜のみに電極材料が拡散されて低抵抗化され、a-Si薄膜トランジスタが高歩留りで得られる薄膜トランジスタの製造方法が提供される。

[発明の実施例]

次に図面を用いて本発明の実施例を詳細に説明する。

第1図は本発明による薄膜トランジスタおよび

その製造方法の一実施例を説明するための断面図であり、前述の図と同一部分には同一符号を付してある。同図において、絶縁基板1上にCr, AlあるいはTa等の金属をスパッタリングし、通常の写真リソグラフィ技術で加工してゲート電極2を形成する。次にゲート電極2が形成された絶縁基板1上に、 $a\text{-SiN}$, SiO_2 あるいは Al_2O_3 等の金属および $a\text{-Si}$ を同一真空雰囲気中でプラズマCVD法によりゲート絶縁膜3および $a\text{-Si}$ 膜4を順次連続形成し、この $a\text{-Si}$ 膜4を写真リソグラフィ技術によりパターンニングを行なつてゲート絶縁膜3上に $a\text{-Si}$ からなるチャンネル領域4a, アイランド部4bおよびこれらの上面に $n^+a\text{-Si}$ 膜4cを形成する。次に $a\text{-Si}$ 膜4が形成されたゲート絶縁膜3上にMg, AlあるいはAu (Au)等の金属をスパッタリングし、写真リソグラフィ技術で加工してソース電極6およびドレイン電極7をそれぞれ形成する。この場合、これらのソース電極6およびドレイン電極7は $a\text{-Si}$ アイランド部4bの周囲を完全に囲んだ構造で形

成される。次にこれらのソース電極6およびドレイン電極7上に SiO_2 あるいは SiN_x 等のパッシベーション膜8を形成した後、このパッシベーション膜8上にCr, AlあるいはTa等の金属をスパッタリングし、写真リソグラフィ技術で加工し、遮光膜8を形成して完成する。

このような構成によれば、ゲート絶縁膜3上に形成される $a\text{-Si}$ 膜4が活性層として $a\text{-Si}$ チャンネル領域4aおよびそのはみ出し部分が $a\text{-Si}$ アイランド部4bとしてソース電極6とドレイン電極7とにより分離されるとともに、 $a\text{-Si}$ アイランド部4bが完全に包囲されて形成されるので、 $a\text{-Si}$ アイランド部4b内での電界勾配が零となる。したがって、ゲート電極2よりも寸法が大きい $a\text{-Si}$ アイランド部4bに周囲光が照射されても $a\text{-Si}$ アイランド部4bで発生した光電流がチャンネル領域4aに流れ込むことはない。すなわち、オフ特性が光照射によつて劣化することがなくなる。なお、コンタクト改善のために $n^+a\text{-Si}$ 膜4cをソース電極6, ドレイン電極7との間に

形成しているが、この $n^+a\text{-Si}$ 膜4cがなくても本実施例の効果が失われることはない。

また、このような方法によれば、絶縁破壊防止用の $a\text{-Si}$ アイランド部4bは、 $a\text{-Si}$ チャンネル領域4aの形成およびソース電極6, ドレイン電極7の形成と同一工程内でそれぞれ分離して同時に形成できるので、工程数を増加させることなく容易に形成され、歩留りを向上させることができる。

第2図は本発明の他の実施例を説明するための断面図であり、前述の図と同一部分は同一符号を付してある。同図において、第1図と異なる点は、 $a\text{-Si}$ 膜4を $a\text{-Si}$ チャンネル領域4aと $a\text{-Si}$ アイランド部4bとに分離することなく、 $a\text{-Si}$ 膜4上にソース電極6およびドレイン電極7をパターン形成した後、これらの電極6, 7に被覆された $a\text{-Si}$ 膜のみに電極材料を熱拡散させて拡散膜4dを形成する。この場合、拡散温度は $a\text{-Si}$ 膜4の耐熱温度(約300°C程度)以下である。

このような構成によれば、 $a\text{-Si}$ 膜4のチャ

ネル領域4aは $a\text{-Si}$ の高抵抗値が保持され、ゲート電極2からはみ出した部分に拡散膜4dを形成したことにより、この部分が低抵抗化されるので、電界勾配が低減し、光電流がチャンネル部4aに流れ込むのを防止することができる。具体的には、チャンネル領域4aのギャップ幅を約10 μm , ゲート電極2からはみ出した $a\text{-Si}$ 膜の幅を約5 μm , $a\text{-Si}$ 膜4の膜厚を0.2~0.5 μm とすると、 $a\text{-Si}$ 膜4の膜厚がギャップ幅よりも十分に小さいので、十分な余裕をもつてギャップ幅からはみ出した $a\text{-Si}$ 膜のみを選択的に低抵抗化することができる。

第3図は本発明のさらに他の実施例を説明するための断面図であり、前述の図と同一部分は同一符号を付してある。同図において、第1図と異なる点は、ゲート電極2上にゲート絶縁膜3, $a\text{-Si}$ 膜4およびナイトライド膜を連続形成した後、このナイトライド膜のみをパターンニングして $a\text{-Si}$ チャンネル領域4a上にパッシベーション膜8を形成し、引き続き $a\text{-Si}$ 膜4をパターンニ

グしてゲート電極2の幅から約5 μ m はみ出した α -Siアイランド部4bを形成する。しかる後、 Al を蒸着してソース電極6, ドレイン電極7および遮光膜9を形成し、加熱処理を行なつてアイランド部4bを Al-Si 合金化させて低抵抗化させる。最後にこれらソース電極6, ドレイン電極7および遮光膜9上にナイトライドを被着してパッシベーション膜10を形成し、完成させる。

このような構成によれば、 α -Si膜4のチャンネル領域4aは α -Siの高抵抗値が保持され、ゲート電極2からはみ出したアイランド部4bが Al-Si 合金化され低抵抗化されるので、電界勾配が低減し、光電流がチャンネル領域4aに流れるのを防止することができる。

また、このような方法によれば、ゲート電極2上にゲート絶縁膜3, α -Si膜4およびパッシベーション膜8としてのナイトライド膜を同一真空雰囲気中で一括して形成できるので、上下界面清浄度の高い α -Si膜4が得られ、均一かつ良好なトランジスタ特性を有する α -Si薄膜トランジスタが容易に得られる。

〔発明の効果〕

以上説明したように本発明による薄膜トランジスタは、ゲート電極の寸法よりもはみ出した α -Si膜のみを低抵抗化させたことにより、ソース電極とドレイン電極との間に光電流が流れ込むことがなくなるので、オフ特性の劣化を防止できるとともに、ゲート絶縁膜の電界による破壊が防止でき、品質、信頼性の高い薄膜トランジスタが得られるという極めて優れた効果を有する。

また、本発明による薄膜トランジスタの製造方法によれば、ゲート電極の寸法よりもはみ出した α -Si膜のみをソース, ドレイン電極の加熱により容易に低抵抗化できるので、高歩留りで薄膜トランジスタを得ることができるという極めて優れた効果を有する。

図面の簡単な説明

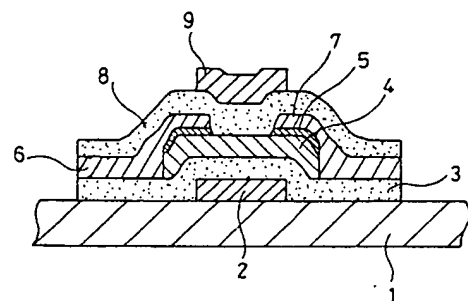
第1図は本発明による薄膜トランジスタおよびその製造方法の一実施例を説明するための断面図、第2図および第3図は本発明の他の実施例を説明

するための断面図、第4図および第5図は従来の薄膜トランジスタを示す断面図である。

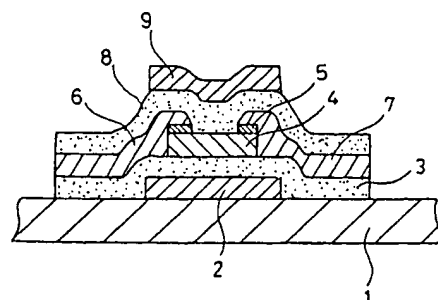
1・・・・絶縁基板、2・・・・ゲート電極、3・・・・ゲート絶縁膜、4・・・・ α -Si膜、4a・・・・ α -Siチャンネル領域、4b・・・・ α -Siアイランド部、4c・・・・ n^+ - α -Si膜、4d・・・・拡散膜、5・・・・コンタクト領域、6・・・・ソース電極、7・・・・ドレイン電極、8・・・・パッシベーション膜、9・・・・遮光膜、10・・・・パッシベーション膜。

代理人 弁理士 小 川 勝 男

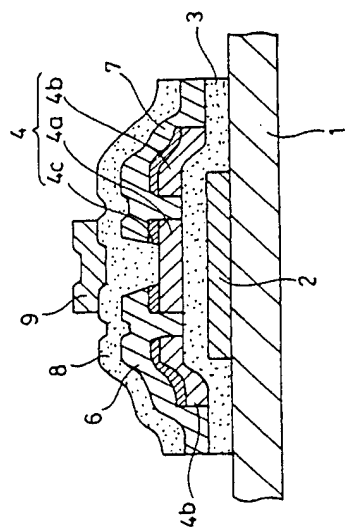
第 4 図



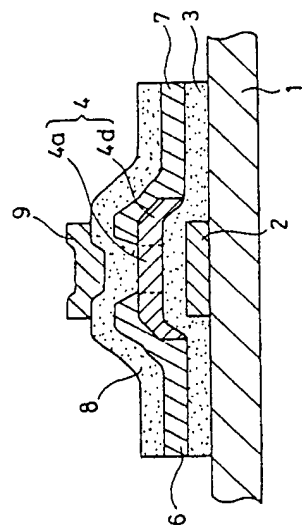
第 5 図



第 1 図



第 2 図



第 3 図

